



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09265113 A**(43) Date of publication of application: **07 . 10 . 97**

(51) Int. Cl.

G02F 1/136
G02F 1/1343
H01L 29/786
H01L 21/336

(21) Application number: **08074509**(22) Date of filing: **28 . 03 . 96**(71) Applicant: **NEC CORP**(72) Inventor: **TANAKA HIROAKI**

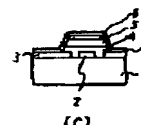
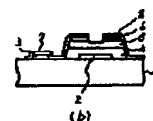
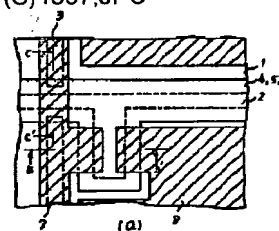
(54) **ACTIVE MATRIX TYPE LIQUID CRYSTAL
 DISPLAY DEVICE AND ITS PRODUCTION**

COPYRIGHT: (C) 1997, JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To decrease the number of stages for photolithography and to reduce a production cost by providing the device with wirings for bridging the bus lines of the side to be cut simultaneously with formation of display electrodes.

SOLUTION: The metallic film of chromium (Cr), etc., formed on a glass substrate 1 is patterned to the shapes of the gate bus lines 2 and drain bus lines 3. The drain bus lines 3 are cut in the parts intersected with the gate bus lines 2. A gate insulating film 4 consisting of silicon nitride, etc., a semiconductor layer 5 consisting of non-crystalline silicon, etc., and an (n) type semiconductor layer 6 are next formed on the substrate, and thereafter, the films are patterned to the shapes covering the gate electrodes and gate bus lines 2. Further, a transparent conductive film consisting of indium tin oxide (ITO), etc., is formed on the substrate and, thereafter, the film is patterned to the shapes 7 covering the drain bus lines and the shapes of pixel electrodes 8 by a photolithography stage and wet etching, following which the (n) type semiconductor layer between the drains and sources are etched.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-265113

(43) 公開日 平成9年(1997)10月7日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
			1/1343	
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 D
21/336				

審査請求 有 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平8-74509

(22) 出願日 平成8年(1996)3月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 田中 宏明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

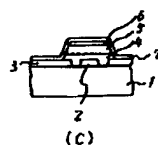
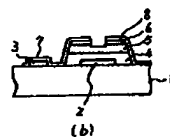
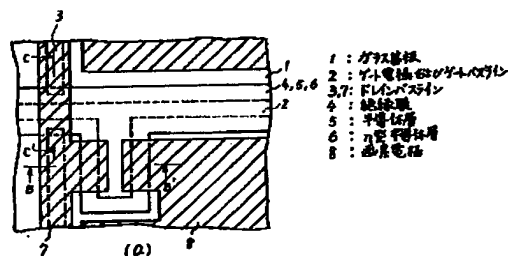
(54) 【発明の名称】 アクティブマトリクス型液晶表示装置およびその製造方

法

(57) 【要約】

【課題】 薄膜トランジスタをスイッチング素子としたアクティブマトリクス方式表示装置の製造において、フォトリソグラフィの工程数を削減することにより、製造コスト低減をはかる。

【解決手段】 基板1上に、交差部にてどちらか一方が切断されているゲートバスライン2およびドレインバスライン3を同層に形成し、ゲート電極を覆う形状の絶縁膜4および半導体層5を形成し、画素電極8を形成すると同時に切断されている方のバスラインを架橋する。このことによりフォトリソグラフィ工程数が削減できる。



【特許請求の範囲】

【請求項1】 薄膜トランジスタをスイッチング素子としたアクティブマトリクス型液晶表示装置において、交差部にてどちらか一方が切断されているゲートバスラインおよびドレインバスラインが同層で設けられ、前記ゲートバスラインに接続されたゲート電極と前記交差部とを覆う形状に前記ゲート電極側から順にゲート絶縁膜および半導体層が形成されており、表示電極を形成すると同時に切断されている方のバスラインを架橋する配線が設けられていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 絶縁基板上に第1の導体層を形成し、パターンニングにより交差部にてどちらか一方が切断されたゲートバスラインおよびドレインバスラインおよび前記ゲートバスラインに接続されたゲート電極を形成する工程と、前記絶縁基板上に絶縁膜および半導体層を形成後、パターンニングにより少なくとも前記ゲート電極上および前記バスライン交差部上の前記絶縁膜および前記半導体層を残存させると共に少なくとも切断されているバスラインの一部および前記ドレインバスラインの一部を露出させる工程と、前記基板上に第2の導体層を形成し、パターンニングにより前記ドレインバスラインに接続されたドレイン電極と、互いに接続されたソース電極と画素電極と、切断されているバスライン同士を接続するブリッジ電極とを同一工程で形成する工程とを具備して成ることを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項3】 絶縁基板上に第1の導体層を形成し、パターンニングによりドレイン電極と、互いに接続されたソース電極と画素電極と、切断予定のどちらか一方のバスライン同士を接続するためのブリッジ電極とを同一工程で形成する工程と、前記基板上に半導体層および絶縁膜層を形成後、パターンニングにより少なくともゲート電極形成予定領域およびバスライン交差予定領域の半導体層および絶縁膜を残存させると共に少なくとも前記ブリッジ電極の両端およびドレイン電極の一部を露出させる工程と、前記基板上に第2の導体層を形成し、パターンニングにより交差部にて前記ブリッジ電極で接続されるどちらか一方が切断されたゲートバスラインおよびドレインバスラインを形成する工程とを具備して成ることを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタをスイッチング素子としたアクティブマトリクス型液晶表示装置とその製造方法に関し、特にアクティブマトリクス基板とその製造方法に関する。

【0002】

【従来の技術】 非結晶シリコンや多結晶シリコン、Cd

Se等の半導体膜を用いた薄膜トランジスタは、アクティブマトリクス型液晶表示装置のスイッチング素子として注目されている。

【0003】 図5に従来より液晶表示装置アクティブマトリクス基板に用いられている薄膜トランジスタの一例を示す。図5(a)は平面図を、同じく(b)は、

(a)におけるB-B'線断面図を示す。すなわち、ガラス基板等の絶縁性基板1上に、クロム(Cr)等の金属膜からなるゲート電極2、シリコン窒化膜等からなる絶縁膜4、非結晶シリコン等からなる半導体層5、クロム(Cr)やアルミニウム(Al)等の金属膜からなるドレイン電極3、酸化インジウム-錫(ITO)等の透明導電膜からなる画素電極8が順次形成されている。このアクティブマトリクス基板の大画面化かつ低コスト化に伴い、配線抵抗の増加なしに、パターン形成のためのフォトリソグラフィ工程数を削減することが課題となる。

【0004】 上記問題を解決するために、図6および図7に示すような方法が提案された。なお、(a)は平面図を、同じく(b)は、(a)におけるB-B'線断面図を、同じく(c)は、(a)におけるC-C'線断面図を示したものである。図6の例では、片方を交差部で切断されたゲートバスライン2とドレインバスライン3の交差部に、コンタクトホール9を介してブリッジ電極10を形成すること、またゲートバスライン2'とゲート電極2''をコンタクトホール9にて導通させることにより、ゲートバスラインとドレインバスラインを同層に形成することを可能としている。なお、この種のゲートバスラインとドレインバスラインを同層に形成するための、ブリッジ形成に関するものとしては、例えば特開昭60-128486号公報を挙げることができる。

【0005】 図7の例では、ゲート絶縁膜4にコンタクトホールを開ける際に、ゲートバスライン2上にも、コンタクトホール9を開け、ドレインバスライン3のパターンニングの際に補助バスライン11を、また画素電極8のパターンニングの際に補助バスライン11'を形成することにより、フォトリソグラフィ工程数の増加なしに配線抵抗を低下させている。また、ゲートバスラインの配線幅に変化をつけることで、ゲートバスラインを補助バスラインの接触抵抗を低下させることを可能としている。なお、この種の配線抵抗低下に関するものとしては、例えば特開平1-282522号を挙げることができる。

【0006】

【発明が解決しようとする課題】 第1の問題点は、従来の技術でアクティブマトリクス基板を製造した場合、コスト高になることである。その理由は、例えば図5、図9(特開平1-282522)の公知例の場合ゲートバスライン2の形成、アイランド(半導体層5、6)の形成、コンタクトホール(図中には示していない)の形

成、ドレインバスライン3の形成、画素電極8の形成の5回のフォトリソグラフィ工程を行わなければならないためである。フォトリソグラフィの回数が増加すると、単に間接部材の使用料の増加、装置使用工数の増加だけではなく、歩留まりの低下なども起こり、コストが大幅に引き上げられる。

【0007】第2の問題点は、図6（特開昭60-128486）の公知例の場合フォトリソグラフィ回数を削減しているが大画面化が不可能なことである。その理由は図6の例ではゲートバスライン、ドレインバスラインおよび画素電極のフォトリソグラフィを1回で行うため、ゲートバスラインおよびドレインバスラインを金属膜より数十倍抵抗の高い（ITO/Crで約20倍の堆積抵抗）酸化インジウム-錫（ITO）のような透明導電膜で形成しなければならないためである。

【0008】本発明の目的は、薄膜トランジスタをスイッチング素子としたアクティブマトリクス型液晶表示装置の製造において、フォトリソグラフィの工程数を削減することにより、製造コスト低減をはかることである。

【0009】

【課題を解決するための手段】本発明は、薄膜トランジスタをスイッチング素子としたアクティブマトリクス型液晶表示装置において、交差部にどちらか一方が切断されているゲートバスラインおよびドレインバスラインが同層で設けられ、前記ゲートバスラインに接続されたゲート電極と前記交差部とを覆う形状に前記ゲート電極側から順にゲート絶縁膜および半導体層が形成されており、表示電極を形成すると同時に切断されている方のバスラインを架橋する配線が設けられていることを特徴とする。

【0010】また、本発明の製造方法は、絶縁基板上に第1の導体層を形成し、パターニングにより交差部にどちらか一方が切断されたゲートバスラインおよびドレインバスラインおよび前記ゲートバスラインに接続されたゲート電極を形成する工程と、前記基板上に絶縁膜および半導体層を形成後、パターニングにより少なくとも前記ゲート電極上および前記バスライン交差部上の前記絶縁膜および前記半導体層を残存させると共に少なくとも切断されているバスラインの一部および前記ドレインバスラインの一部を露出させる工程と、前記基板上に第2の導体層を形成し、パターニングにより前記ドレインバスラインに接続されたドレイン電極と、互いに接続されたソース電極と画素電極と、切断されているバスライン同士を接続するブリッジ電極とを同一工程で形成する工程とを具備して成る。

【0011】さらに、本発明の他の製造方法は、絶縁基板上に第1の導体層を形成し、パターニングによりドレイン電極と、互いに接続されたソース電極と画素電極と、切断予定のどちらか一方のバスライン同士を接続す

るためのブリッジ電極とを同一工程で形成する工程と、前記基板上に半導体層および絶縁膜層を形成後、パターニングにより少なくともゲート電極形成予定領域およびバスライン交差予定領域の半導体層および絶縁膜を残存させると共に少なくとも前記ブリッジ電極の両端およびドレイン電極の一部を露出させる工程と、前記基板上に第2の導体層を形成し、パターニングにより交差部に前記ブリッジ電極で接続されるどちらか一方が切断されたゲートバスラインおよびドレインバスラインを形成する工程を具備して成る。

【0012】ゲートバスラインとドレインバスラインを同層に形成することによりフォトリソグラフィ工程数を削減することができ、製造コストの削減がはかれる。また、ゲートバスラインおよびドレインバスラインを金属膜で形成するため、大画面の表示装置にも対応可能である。

【0013】

【発明の実施の形態】次に本発明について図面を参照して説明する。図1～図3は、本発明の第1の実施の形態の薄膜トランジスタをスイッチング素子としたアクティブマトリクス基板の一部を製造工程順に示している。なお、それぞれの図の（a）は平面図を、同じく（b）は、（a）におけるB-B'線断面図を、同じく（c）は、（a）におけるC-C'線断面図を示している。

【0014】図1は第1の工程を示してあり、ガラス基板1上にスパッタリングによって成膜されたクロム（Cr）等の金属膜を、フォトリソグラフィ工程とウェットまたはドライエッチングにより、ゲートバスライン2およびドレインバスライン3の形状にパターニングしている。ここで特徴的なのはドレインバスラインはゲートバスラインとの交差部で切断されていることである。ドレインバスラインの代りに、ゲートバスラインが交差部で切断されるようにしてもよい。

【0015】図2は第2の工程を示してあり、第1の工程を終了した基板上にプラズマCVD法（Chemical Vapor Deposition）により窒化シリコン等のゲート絶縁膜4、非結晶シリコン等の半導体層5、n型半導体層6を成膜後、フォトリソグラフィ工程とドライエッチングにより、ゲート電極およびゲートバスライン2を覆う形状にパターニングを行う。

【0016】図3は第3の工程を示してあり、第2の工程を終了した基板上にスパッタリングにて酸化インジウム-錫（ITO）等の透明導電膜を成膜後、フォトリソグラフィ工程とウェットエッチングにより、ドレインバスラインを覆う形状7および画素電極8の形状にパターニングする。パターニング終了後にドレイン、ソース間のn型半導体層をドライエッチングにてエッチング（チャンネルエッチ）する。

【0017】つまり本発明を適用した場合は、図5の公知例の5回に比べ、2回も少ないフォトリソグラフィ

工程数で配線抵抗の増加なしに、薄膜トランジスタをスイッチング素子としたアクティブマトリクス基板の製造が可能となる。

【0018】図4は、本発明の第2の実施の形態を示す図である。なお、図4(a)は平面図を、同じく(b)は、(a)におけるB-B'線断面図を、同じく(c)は、(a)におけるC-C'線断面図を示している。第1の工程は、基板上にスパッタリングもしくはCVD法にて酸化シリコン12を、スパッタリングにて酸化インジウム-錫(ITO)等の透明導電膜を成膜後、フォトリソグラフィ工程とウェットエッチングにより、透明導電膜のみをドレインバスライン7および画素電極8の形状にパターンニングする。酸化シリコン12は後のホスフィン(PH₃)プラズマ処理を行う場合に酸化インジウム-錫(ITO)との選択性を取るために必要である。

【0019】第2の工程は、第1の工程を終了した基板にホスフィン(PH₃)プラズマ処理を行った後、プラズマCVD法にて非結晶シリコン等の半導体層5、窒化シリコン等の絶縁膜を成膜後、フォトリソグラフィ工程とドライエッチングにより、ゲートバスラインの形状4、5にパターンニングする。

【0020】第3の工程は、第2の工程を終了した基板にスパッタリングにてクロム(Cr)等の金属膜を成膜し、フォトリソグラフィ工程およびウェットまたはドライエッチングにより、ゲートバスライン2およびドレインバスライン3を形成する。

【0021】

【発明の効果】第1の効果は、ゲートバスラインとドレインバスラインを同層に形成すること、コンタクトホールが不要であることにより、フォトリソグラフィ工程数が2回削減するということである。これにより、製造コストが削減可能である。その理由は、ゲートバスラインもしくはドレインバスラインの交差部での切断部分を、コンタクトホールなしに表示電極の層にて架橋するのでゲートもしくはドレインのフォトリソグラフィ工程数が削減するためである。

*

*【0022】第2の効果は、フォトリソグラフィ工程数が削減したためにパーティクル等による汚染の確率が減少し、歩留まりが向上することである。その理由は、ゲートバスラインもしくはドレインバスラインの交差部での切断された部分を、コンタクトホールなしに表示電極の層にて架橋するのでゲートもしくはドレインのフォトリソグラフィ工程数が削減するためである。

【図面の簡単な説明】

【図1】(a)～(c)は本発明の第1の実施の形態の第1工程の平面図と断面図である。

【図2】(a)～(c)は本発明の第1の実施の形態の第2工程の平面図と断面図である。

【図3】(a)～(c)は本発明の第1の実施の形態の第3工程の平面図と断面図である。

【図4】(a)～(c)は、本発明の第2の実施の形態の平面図と断面図である。

【図5】(a)、(b)は、従来技術の平面図と断面図である。

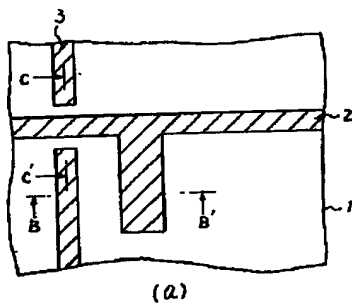
【図6】(a)～(c)従来技術の平面図と断面図である。

【図7】(a)～(c)は、従来技術の平面図と断面図である。

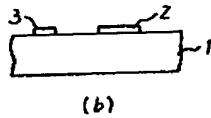
【符号の説明】

- 1 ガラス基板
- 2 ゲート電極およびゲートバスライン
- 2' ゲートバスライン
- 2" ゲート電極
- 3, 7 ドレインバスライン
- 4 絶縁膜
- 5 半導体層
- 6 n型半導体層
- 8 画素電極
- 9 コンタクトホール
- 10 ブリッジ電極
- 11, 11' 補助バスライン
- 12 酸化シリコン

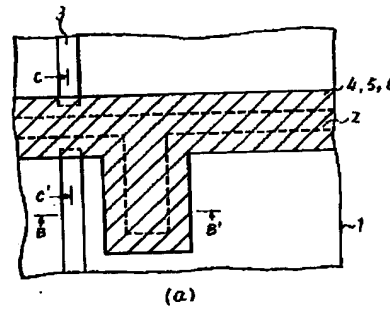
【図1】



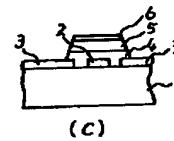
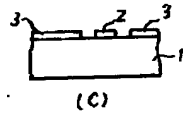
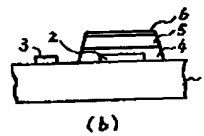
- 1: ガラス基板
2: ゲート電極およびゲートバスライン
3: ドレインバスライン



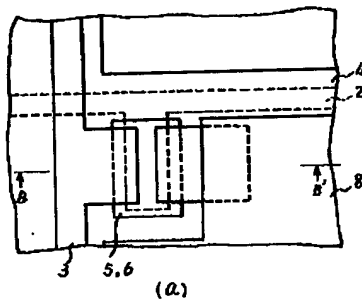
【図2】



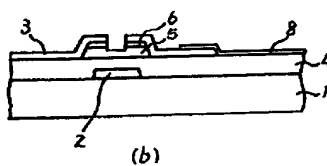
- 1: ガラス基板
2: ゲート電極およびゲートバスライン
3: ドレインバスライン
4: 絶縁膜
5: 半導体層
6: n型半導体層



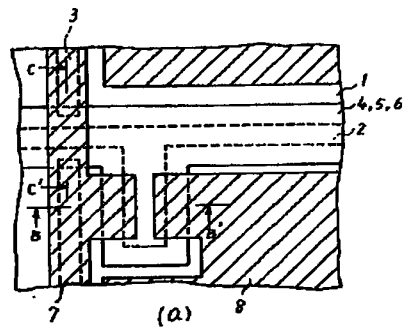
【図5】



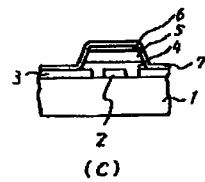
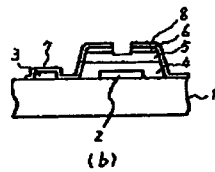
- 1: ガラス基板
2: ゲート電極およびゲートバスライン
3: ドレインバスライン
4: 絶縁膜
5: 半導体層
6: n型半導体層
8: ソース電極



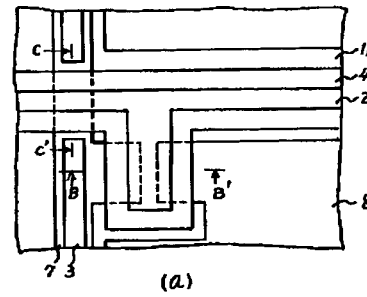
【図3】



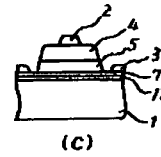
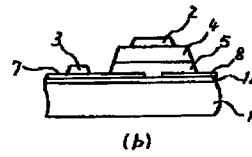
- 1 : ガラス基板
 2 : ゲート電極およびゲートバースライン
 3, 7 : ドレインバースライン
 4 : 絶縁膜
 5 : 半導体層
 6 : n型半導体層
 8 : 画素電極



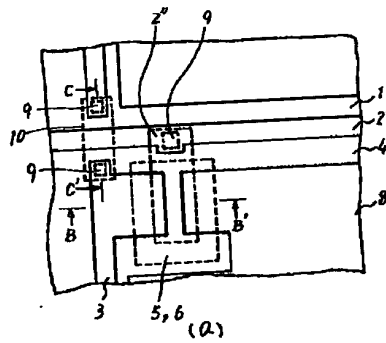
【図4】



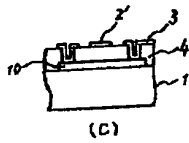
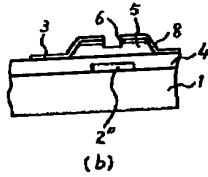
- 1 : ガラス基板
 2 : ゲート電極およびゲートバースライン
 3, 7 : ドレインバースライン
 4 : 絶縁膜
 5 : 半導体層
 8 : 画素電極
 12 : 酸化シリコン



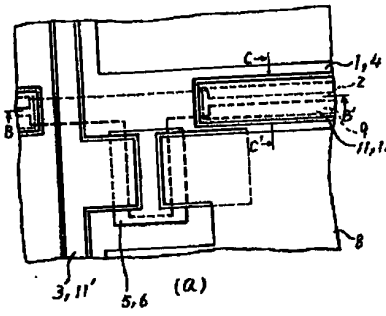
【図6】



- 1 : ガラス基板
- 2' : ゲートバスライン
- 2'' : ゲート電極
- 3 : ドレインバスライン
- 4 : 絶縁膜
- 5 : p型半導体層
- 6 : n型半導体層
- 8 : 画素電極
- 9 : コントラホール
- 10 : プリント電極



【図7】



- 1 : ガラス基板
- 2 : ゲート電極およびゲートバスライン
- 3 : ドレインバスライン
- 4 : 絶縁膜
- 5 : p型半導体層
- 6 : n型半導体層
- 8 : 画素電極
- 9 : コントラホール
- 11, 11' : 補助バスライン

